

Japanese Patent Laid-Open No. 11-97203 (published on April 9, 1999)

Japanese Patent Laid-Open No. 11-97203 discloses a shunt resistive element for a semiconductor device. This shunt resistive element includes a ceramic substrate 5, a sheet-shaped resistor 6 bonded to the surface of the ceramic substrate 5, and a copper plate 7 bonded to the reverse of the ceramic substrate 5. The sheet-shaped resistor 6 is made of a measuring precision resistance material (a copper alloy, such as manganin or constantan), and has a size designed so as to have a predetermined value of resistance. The sheet-shaped resistor 6 and the copper plate 7 are bonded to the ceramic substrate 5 by the activated metal method using silver solder or the like. On both ends of the resistor 6, bonding electrode portions 8 for detecting current and voltage are formed. The shunt resistive element is bonded to a substrate, on which a semiconductor chip is mounted, or to a copper base plate of a module, by soldering. That is, Japanese Patent Laid-Open No. 11-97203 disclose a shunt resistive element wherein an alloy plate such as a manganin alloy plate, which serves as a sheet resistor precisely worked by a press working or the like, is bonded to a ceramic substrate such as an alumina substrate by the brazing and soldering using a brazing filler metal such as a silver solder which contains an active metal.

Japanese Patent Laid-Open No. 52-37914 (published on March 24, 1977)

Japanese Patent Laid-Open No. 52-37914 discloses a method for bonding a metal to a substrate, the method comprising the steps of: selecting a substrate from ceramic and metal substrates; selecting a metal capable of being bonded directly to the substrate; preparing a binder capable of reacting with the metal to produce an eutectic alloy, most of which consists of the metal and which has a lower eutectic point than the melting point of the metal, the binder being suitable for the substrate; arranging the metal on the substrate; causing the metal to contact a solid state supply source for the binder, to expose the interface between the metal and the substrate to the solid state supply source, and simultaneously, heating the metal and substrate in an inert atmosphere at a temperature between the eutectic point and the melting point for at least a few seconds sufficient for producing a molten material between the metal and the substrate, the exposing and heating steps being carried out so that at least the molten material finally becomes a hypo-eutectic; and cooling the molten material to bond the metal directly to the substrate. That is, Japanese Patent Laid-Open No. 52-37914 discloses a so-called eutectic bonding method for heating a metal plate and a ceramic substrate at a temperature between their eutectic point and the melting point of the metal in an atmosphere of an inert gas to produce an eutectic melt between the metal plate and the ceramic substrate to bond the metal plate directly to the

ceramic substrate without the need of any intermediate materials, such as brazing filler metals.

Japanese Patent Laid-Open No. 7-193358 (published on July 28, 1995)

Japanese Patent Laid-Open No. 7-193358 discloses a method for producing a ceramic electronic circuit board having a metal conductive circuit on at least one side of a ceramic substrate. This method comprises the steps of: melting a conductive circuit forming metal; and thereafter, causing a ceramic substrate to contact the molten metal to hold and cool them in this state, to bond the metal directly to the ceramic substrate. Japanese Patent Laid-Open No. 7-193358 discloses a so-called molten metal bonding method for causing a molten metal to contact a ceramic substrate to bond a metal plate directly to the ceramic substrate without the need of any intermediate materials, such as brazing filler metals.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97203

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 C 3/00
1/14
13/00H 0 1 C 3/00
1/14
13/00Z
Z
A

審査請求 未請求 請求項の数4 O L (全 4 頁)

(21) 出願番号 特願平9-253045

(22) 出願日 平成9年(1997) 9月18日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 岩井田 武

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 小田 佳典

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 両角 朗

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

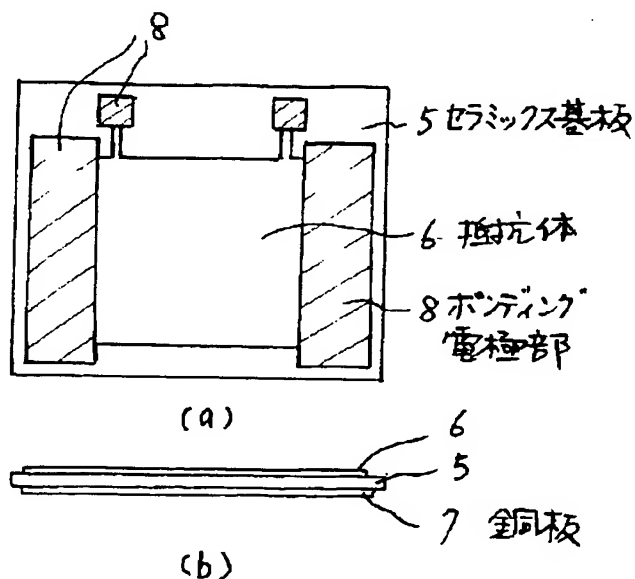
(74) 代理人 弁理士 篠部 正治

(54) 【発明の名称】 半導体装置用のシャント抵抗素子およびその実装方法

(57) 【要約】

【課題】 抵抗値精度、耐熱性、放熱性が高く、かつモジュールへの組付けが容易な半導体装置用のシャント抵抗素子を提供する。

【解決手段】 セラミックス基板5を挟んでその表面側に所定の抵抗値に合わせて設計したサイズの計測用精密抵抗材料(マンガニン、コンスタンタンなどの銅合金)からなるシート状抵抗体6、および裏面に銅板7を重ね合わせて、銀ろうなどを用いた活性化金属法により一体に接合し、かつ抵抗体の両端に電流、電圧検出用のボンディング電極部8を形成し、半導体チップを実装した基板、あるいはモジュールの銅ベース板上に半田接合して組付ける。



【特許請求の範囲】

【請求項1】半導体装置に組み込んでその主回路電流を検出するシャント抵抗素子であって、セラミックス基板を挟んでその表面に所定の抵抗値に合わせた設計したサイズの計測用精密抵抗材料からなるシート状抵抗体、および裏面に銅板を活性化金属法により一体に接合し、かつ前記抵抗体に電流、電圧検出用のボンディング電極部を形成してなることを特徴とする半導体装置用シャント抵抗素子。

【請求項2】半導体実装用基板の回路パターン上に半導体チップ、およびシャント抵抗素子を載置し、同じ半田付け工程で基板に半導体チップ、およびシャント抵抗素子を半田付けすることを特徴とする請求項1に記載のシャント抵抗素子の実装方法。

【請求項3】半導体装置の銅ベース板上に半導体チップを実装した基板、およびシャント抵抗素子を載置し、同じ半田付け工程で銅ベースに半導体実装基板、およびシャント抵抗素子を半田付けすることを特徴とする請求項1に記載のシャント抵抗素子の実装方法。

【請求項4】半導体装置の銅ベース板上に半導体チップを実装した基板を載置するとともに、該基板上にシャント抵抗素子を載置し、同じ半田付け工程で銅ベースと基板、および基板とシャント抵抗素子との間を半田付けすることを特徴とする請求項1に記載のシャント抵抗素子の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、インバータ装置に適用するIGBTモジュールなどを実施対象に、半導体装置に組み込んでその主回路電流を検出するシャント抵抗素子、およびその実装方法に関する。

【0002】

【従来の技術】まず、図7に頭記したシャント抵抗素子を内蔵したIGBTモジュールの回路図を示す。なお、図示例はモータ運転制御用のインバータに適用した6個組のIGBTモジュールである。図において、1はIGBT、2はフリーホイーリングダイオード、3が出力電流検出用のシャント抵抗素子であり、IGBT1、ダイオード2、およびシャント抵抗素子3を半導体実装用基板（図示せず）に実装してモジュールを組み立てており、ここでシャント抵抗素子3は負荷（モータ）4に給電する出力回路に接続されている。

【0003】また、図8は前記シャント抵抗素子3の従来構造例を示すものであり、計測用抵抗材料（銅合金）の板を図示のようにU字形に曲げ加工し、その両端に形成した電極部を半導体実装用基板の回路パターンに半田付けしている。

【0004】

【発明が解決しようとする課題】ところで、前記した従来構造のシャント抵抗素子は、製作面で加工精度を上げ

ることが難しく、製品の抵抗値にばらつきが生じ易く、このことが電流検出精度を低める原因となっている。なお、銅ベース上に絶縁層、銅合金の抵抗層を接着剤で接合し、抵抗層にニッケルメッキを施して電流、電圧検出用のボンディング電極部を形成したチップ型の抵抗素子も知られているが、この抵抗素子は耐熱温度が低く、そのためにパワー半導体モジュールに組み付ける際の半田付け温度が制限されるなどの問題があってその取り扱い性に難点がある。

【0005】そこで、従来のシャント抵抗素子に代わるものとして、抵抗値精度、耐熱性、組立性の面に優れたシャント抵抗素子の出現が望まれている。この発明は上記の点に鑑みなされたものであり、その目的は前記要望に応じて抵抗値精度、耐熱性、放熱性が高く、かつモジュールへの組付けが容易な半導体装置用のシャント抵抗素子、およびその実装方法を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、この発明のシャント抵抗素子は、セラミックス基板を挟んでその表面に所定の抵抗値に合わせた設計したサイズの計測用精密抵抗材料からなるシート状抵抗体、および裏面に銅板を活性化金属法により一体に接合し、かつ前記抵抗体に電流、電圧検出用のボンディング電極部を形成した構成とする（請求項1）。

【0007】上記のように、計測用精密抵抗材料（抵抗の温度係数が小さく、特性の経年変化が小さい）として知られている銅-マンガン合金（マンガニン）、あるいは銅-ニッケル合金（コンスタンタン）を採用し、所要の抵抗値に合わせてエッチング、プレスなどにより高精度に加工したシート状の抵抗体を、銀ろうなどを用いた活性化金属法により耐熱、伝熱性の高いセラミックス基板（アルミナ、窒化アルミニウム、窒化けい素など）に接合することにより、チップ型のシャント抵抗体として、高い抵抗値精度、並びに高温での半田付けにも耐える高い耐熱性、伝熱性が確保できる。

【0008】また、この発明によれば、前記構成のシャント抵抗素子の耐熱性を活かし、次記の実装方法を採用して半導体装置の組立工程の合理化を図ることができる。

(1) 半導体実装用基板の回路パターン上に半導体チップ、およびシャント抵抗素子を載置し、同じ半田付け工程で基板に半導体チップ、およびシャント抵抗素子を半田付けする（請求項2）。

【0009】(2) 半導体装置の銅ベース板上に半導体チップを実装した基板、およびシャント抵抗素子を載置し、同じ半田付け工程で銅ベースに半導体実装基板、およびシャント抵抗素子を半田付けする（請求項3）。

(3) 半導体装置の銅ベース板上に半導体チップを実装した基板を載置するとともに、該基板上にシャント抵抗素子を載置し、同じ半田付け工程で銅ベースと基板、およ

び基板とシャント抵抗素子との間を半田付けする（請求項4）。

【0010】上記の実装方法によりシャント抵抗素子を半導体チップと一緒に半導体装置のモジュールに組み込むことにより、その組立工数を削減してコストの低減化が図れる。

【0011】

【発明の実施の形態】以下、この発明の実施の形態を図1ないし図6に示す実施例で説明する。まず、図1(a)、(b)に、この発明の実施例によるチップ型シャント抵抗素子3の構造を示す。この実施例においては、アルミナ、窒化アルミニウム、窒化けい素などの高伝熱性セラミックス基板5（基板の厚さ0.635mm）に対し、その表面側に銅-マンガン合金（マンガニン）、あるいは銅-ニッケル合金（コンスタンタン）の計測用精密抵抗材料で作られた方形シート状の抵抗体6（抵抗体の厚さ0.3mm、一辺の長さ：5～10mm）を、裏面側には薄銅板7（厚さ0.3mmの銅箔）を重ね合わせ、銀ろうなどを用いた活性化金属法により一体に接合し、さらに抵抗体6の両端部にニッケルなどのメッキを施して電流、および電圧検出用のボンディング電極部8を形成する。

【0012】ここで、シート状の抵抗体6は、シャント抵抗素子の製品仕様に合わせて所定の抵抗値（例えば0.65mΩ）、許容熱抵抗値（1.18℃/W以下）を確保するようにその外形サイズ、ボンディング電極部8の引出し位置などを設計し、エッチング、プレスなどにより高精度に加工する。また、セラミックス基板5に抵抗体6を接合する方法としては、抵抗体6が銅合金であることから、直接接合法として知られているダイレクト・ボンディング・カップパー法に代えて、銀ペーストなどを用いた活性化金属法により接合する。

【0013】次に、前記構成のシャント抵抗素子3を採用した半導体モジュールの回路組立体の構造例を図2、図3に示す。なお、図中で9はIGBT1、ダイオード2を搭載した半導体実装用基板（例えばダイレクト・ボンディング・カップパー基板）、10は放熱用の銅ベース板（例えば厚さ3mmの銅板）、11は各部品の間を接合した半田層、12は各回路部品と基板の回路パターンとの間に配線したボンディングワイヤである。

【0014】ここで、図2の回路組立体は、シャント抵抗素子3が半導体チップ（IGBT1、ダイオード2）とともに基板9の回路パターンに搭載して半田付けされている。一方、図3の回路組立体では、シャント抵抗素子3が基板9を介さずに銅ベース板10の上に直接搭載して半田付けされている。そして、図2の回路組立体において、シャント抵抗素子3を半導体実装用基板9に組付ける際には、図4で示すように基板9の上にIGBT1、ダイオード2、およびシャント抵抗素子3（図1に示した抵抗素子の銅板7を下面に向ける）をそれぞれ半田シート13を介して重ね合わせ、同じ半田付け工程で

基板9にIGBT1、ダイオード2、およびシャント抵抗素子3を同時に半田付け（溶融点300℃程度の半田を用いる）、その後に基板9を銅ベース板10に搭載して低温半田で半田付けする。なお、半田シート13の代わりに基板9に半田ペーストを塗布しておいてもよい。

【0015】また、前記とは別な実装方法として図6で示す方法がある。この実施例では、あらかじめIGBT1、ダイオード2を実装しておいた基板9を、半田ペースト14を塗布した銅ベース板10の上に載置するとともに、基板9上の所定位置に半田ペースト14を塗布してここにシャント抵抗素子3を載置し、この状態で銅ベース板10と基板9、および基板9とシャント抵抗素子3の間を同じ半田付け工程で同時に半田接合する。なお、半田ペースト14の代わりに半田シートを用いてもよい。

【0016】一方、図5は図3の回路組立体に対するシャント抵抗素子3の実装方法を示すものである。すなわち、この実施例では半田ペースト14を塗布した銅ベース板10の上に、あらかじめ半導体チップを実装した基板9、およびシャント抵抗素子3を搭載し、同じ半田付け工程で、銅ベース板10と基板9、およびシャント抵抗素子3との間を同時に半田接合する。

【0017】

【発明の効果】以上述べたように、この発明によれば、セラミックス基板を挟んでその表面に所定の抵抗値に合わせて設計したサイズの計測用精密抵抗材料からなるシート状抵抗体、および裏面に銅板を重ね合わせて活性化金属法により一体に接合し、前記抵抗体に電流、電圧検出用のボンディング電極部を形成してシャント抵抗素子を構成したことにより、抵抗値精度、並びに耐熱性、伝熱性が高く、実使用面でも電流検出精度、信頼性に優れたシャント抵抗素子を提供することができる。

【0018】また、前記構成のシャント抵抗素子の高い耐熱性を活かして請求項2～4の実装方法を採用することにより、半田付けの工数を減らして半導体装置の組立工程の合理化、並びにコストの低減化が図れる。

【図面の簡単な説明】

【図1】この発明の実施例によるシャント抵抗素子の構造図であり、(a)は平面図、(b)は側面図

【図2】図1のシャント抵抗素子を組付けた半導体装置の回路組立体部分の構成図

【図3】図2と異なる半導体装置の回路組立体部分の構成図

【図4】図2の回路組立体に対するシャント抵抗素子の実装方法の説明図

【図5】図3の回路組立体に対するシャント抵抗素子の実装方法の説明図

【図6】図4と別なシャント抵抗素子の実装方法の説明図

【図7】シャント抵抗素子を組み込んだ半導体装置の回

路図

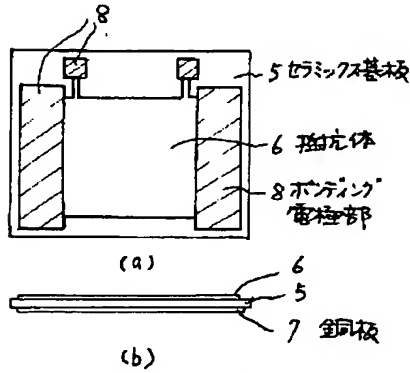
【図8】シャント抵抗素子の従来構造図であり、(a)は平面図、(b)は側面図

【符号の説明】

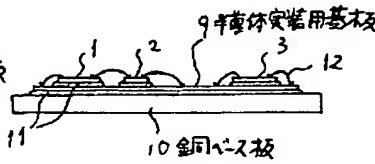
- 1 IGBT
2 ダイオード
3 シャント抵抗素子
5 セラミックス基板

- 6 抵抗体
7 銅板
8 ボンディング電極部
9 半導体実装用基板
10 銅ベース板
11 半田層
13 半田シート
14 半田ペースト

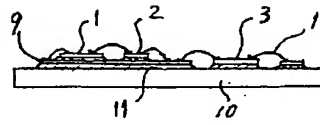
【図1】



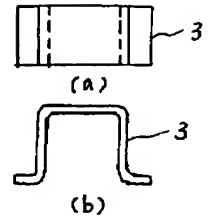
【図2】



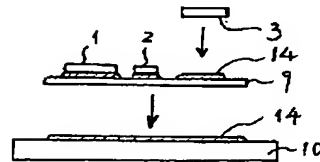
【図3】



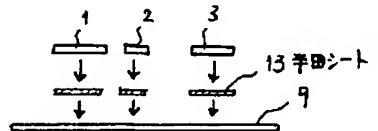
【図8】



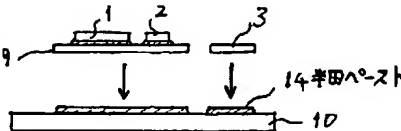
【図6】



【図4】



【図5】



【図7】

